

The present invention relates to a method of manufacturing an insulated gate transistor and a method of manufacturing an electrode. Specifically, ion implantation is performed to form first and second source/drain regions (SD regions) in a state where, on semiconductor regions on which the first and second SD regions 107 and 106 are to be formed, an insulating film or a semiconductor film is formed by making an area on which the second SD region 106 is to be formed thicker than an area on which the first SD region 107 is to be formed, or an insulating film or a semiconductor film is provided on the semiconductor region on which the second SD regions is to be formed by exposing a surface of the semiconductor region on which the first SD region is to be formed. Impurity ions of more than  $2 \times 10^{19} \text{ cm}^{-3}$  are performed into a polycrystalline Si layer and etching is performed thereon so that a length of a bottom surface of the polycrystalline Si layer becomes greater compared with a length of a top surface thereof due to an impurity concentration difference in a thickness direction of the polycrystalline Si layer to form an electrode.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36361

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L 29/78	3 0 1 L
	21/336		21/265	L
	21/265		27/08	3 2 1 E
	21/8238			3 2 1 N
	27/092		29/78	3 0 1 P
審査請求 未請求 請求項の数10 O L (全 9 頁)				

(21) 出願番号 特願平7-185509

(22) 出願日 平成7年(1995)7月21日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 坂本 勝

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

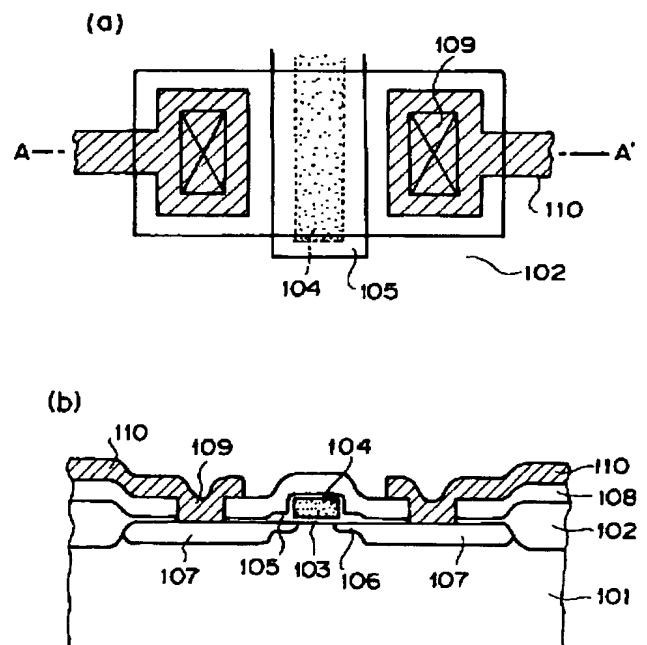
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 絶縁ゲート型トランジスタの製造方法及び電極の製造方法

(57) 【要約】

【目的】 高耐圧のMOSトランジスタを作成する上で製造コストを低減し、設計の自由度を増大させる。

【構成】 第1及び第2ソース・ドレイン領域 (SD領域) 107, 106を形成すべき半導体領域上に、第1SD領域107を形成すべき半導体領域上より第2SD領域106を形成すべき半導体領域上を厚くして絶縁膜又は半導体膜を形成するか、或は第1SD領域を形成すべき半導体領域表面を露出させ、第2SD領域を形成すべき半導体領域上に絶縁膜又は半導体膜を設けた状態で、第1及び第2SD領域形成のためのイオン注入を行う。多結晶Si層に不純物を $2 \times 10^{19} \text{ cm}^{-3}$ 以上イオン注入し、多結晶Si層の厚さ方向の不純物濃度差により多結晶Si層の上面の長さと比較し下面の長さが大となるエッチングを施し電極を形成する。



## 【特許請求の範囲】

【請求項 1】 第一導電型で高濃度の第 1 のソース・ドレイン領域と、第一導電型で該第 1 のソース・ドレイン領域より低濃度の第 2 のソース・ドレイン領域と、第二導電型のチャンネル領域を有する絶縁ゲート型トランジスタの製造方法において、

前記第 1 及び第 2 のソース・ドレイン領域を形成すべき半導体領域上に、第 1 のソース・ドレイン領域を形成すべき半導体領域上よりも第 2 のソース・ドレイン領域を形成すべき半導体領域上の方を厚くして、絶縁膜又は半導体膜を形成し、該絶縁膜又は半導体膜を介して第 1 及び第 2 のソース・ドレイン領域形成のためのイオン注入を行うことを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項 2】 第一導電型で高濃度の第 1 のソース・ドレイン領域と、第一導電型で該第 1 のソース・ドレイン領域より低濃度の第 2 のソース・ドレイン領域と、第二導電型のチャンネル領域を有する絶縁ゲート型トランジスタの製造方法において、

前記第 1 のソース・ドレイン領域を形成すべき半導体領域の表面を露出させ、前記第 2 のソース・ドレイン領域を形成すべき半導体領域上に絶縁膜又は半導体膜を設けた状態で、前記第 1 及び第 2 のソース・ドレイン領域形成のためのイオン注入を行うことを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項 3】 請求項 1 又は請求項 2 記載の絶縁ゲート型トランジスタの製造方法において、前記第 1 又は／及び第 2 のソース・ドレイン領域を形成すべき半導体領域上には絶縁膜が形成され、該絶縁膜は酸化ケイ素からなることを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項 4】 請求項 1 又は請求項 2 記載の絶縁ゲート型トランジスタの製造方法において、前記第 1 又は／及び第 2 のソース・ドレイン領域を形成すべき半導体領域上には半導体膜が形成され、該半導体膜は多結晶シリコンであることを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項 5】 請求項 4 記載の絶縁ゲート型トランジスタの製造方法において、ゲート電極は多結晶シリコンからなるとともに、その形状は階段状をなし、該ゲート電極の下端部分が前記第 2 のソース・ドレイン領域を形成すべき半導体領域上に設けられた半導体膜となることを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項 6】 多結晶シリコン層に不純物を  $2 \times 10^{19} \text{ cm}^{-3}$  以上イオン注入する工程と、該多結晶シリコン層の厚さ方向の不純物濃度差により、該多結晶シリコン層の上面の長さと比較下面の長さが大となるエッチングを施し電極を形成する工程と、を有することを特徴とする電極の製造方法。

【請求項 7】 請求項 6 記載の電極の製造方法におい

て、前記電極は絶縁ゲート型トランジスタのゲート電極であることを特徴とする電極の製造方法。

【請求項 8】 請求項 6 又は請求項 7 記載の電極の製造方法において、前記電極は階段形状であることを特徴とする電極の製造方法。

【請求項 9】 請求項 6～請求項 8 のいずれかに記載の電極の製造方法において、多結晶シリコン層のエッチング後に、選択 CVD 法を用いて多結晶シリコン層上に高融点金属層を形成したことを特徴とする電極の製造方法。

【請求項 10】 請求項 6～請求項 9 のいずれかに記載の電極の製造方法において、導入される不純物が、P、As、BF<sub>3</sub> の少なくとも一つであることを特徴とする電極の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は絶縁ゲート型トランジスタの製造方法及び電極の製造方法に係わり、特に高耐圧を有する絶縁ゲート型トランジスタの製造方法及びその電極の製造方法に関するものである。

## 【0002】

【従来の技術】 従来、絶縁ゲート型トランジスタ、特に MOS トランジスタの高耐圧化、高信頼性化のために、LDD (Light Doped Drain) 構造が用いられている。LDD 構造は、ゲート電極形成後、このゲート電極をマスクとして、light dope drain 形成のためのイオン注入を行い、続いて CVD 絶縁膜を形成し、これをエッチバックすることで、ゲート電極側壁にサイドウォールを形成する。最後に高濃度のイオン注入を行いこれを熱処理することで、LDD 構造が形成される。

【0003】 以下、図 8 を用いて、従来の LDD 構造の製造工程の説明をする。

【0004】 図 8 (a) に示すように、P 形のウエル領域 401 上にゲート酸化膜 402 を介してゲート電極 403 を形成し、ゲート電極 403 をマスクとしてリンのイオン注入 404 を行い、電界線領域 405 を形成する。次に、図 8 (b) に示すように、サイドウォール形成のための絶縁膜 406 を形成する。

【0005】 これを、図 8 (c) に示すように、RIE モードでエッチングすることにより、ゲート電極 403 の側壁のみに絶縁膜を残す。これが、サイドウォール 407 である。続いて、ソース・ドレイン形成のためのイオン注入 408 を行い、ソース・ドレイン領域 409 が形成される。

【0006】 最後に、図 8 (d) に示すように、層間絶縁膜 410 を形成し、これに窓あけを行い電極及び配線 411 を形成することで、LDD 構造を有する NMOS トランジスタが完成する。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記従来例では、①エッチバックによりサイドウォールを形成するためサイドウォール量に制限があること、②light doped drain層と高濃度ドレイン層形成のために2回のパターニングが必要であること、等により、製造コストが高く且つ自由度が小さいという課題があった。

【0008】即ち、前述したLDD構造のMOSトランジスタの場合、低濃度領域の幅は、サイドウォール量に制約されるため、その幅は $\sim 0.2\mu\text{m}$ 程度が限界であり、 $0.5\mu\text{m}$ 以上のオフセット型のMOSトランジスタの場合、自己整合的に形成することは困難である。

【0009】ここで、 $0.5\mu\text{m}$ 以上のオフセット型のMOSトランジスタを作成する場合には、レジストパターンによりオフセットを決定する手法を用いることができる。しかし、自己整合的に形成されるものではないために、アライメントマージンを大きくとるために、オフセット幅を大きくとることが必要となる。そのため、この低濃度層の抵抗が大きくなり、スピード等において問題となる。更には、LDDと同様にレジストパターニングを2回必要とするため、製造コストの高いプロセスとなる。

【0010】また、サイドウォールを用いた高耐圧MOSトランジスタの場合、i)サイドウォール形成のために、絶縁膜形成とエッチバック工程が追加される。ii)ソース・ドレインのために2回のレジストパターニングが必要となる。CMOS構成の場合には、4回のレジストパターニングと4回のイオン注入が必要となる。レジストパターニングによるオフセットMOSトランジスタの場合も4回のレジストパターニングと4回のイオン注入が必要である。

【0011】本発明の目的は、安価な高耐圧MOSトランジスタを提供することである。

【0012】

【課題を解決するための手段】本発明の絶縁ゲート型トランジスタの製造方法は、第一導電型で高濃度の第1のソース・ドレイン領域と、第一導電型で該第1のソース・ドレイン領域より低濃度の第2のソース・ドレイン領域と、第二導電型のチャネル領域を有する絶縁ゲート型トランジスタの製造方法において、前記第1及び第2のソース・ドレイン領域を形成すべき半導体領域上に、第1のソース・ドレイン領域を形成すべき半導体領域上よりも第2のソース・ドレイン領域を形成すべき半導体領域上の方を厚くして、絶縁膜又は半導体膜を形成し、該絶縁膜又は半導体膜を介して第1及び第2のソース・ドレイン領域形成のためのイオン注入を行うことを特徴とする。

【0013】本発明の絶縁ゲート型トランジスタの製造方法は、第一導電型で高濃度の第1のソース・ドレイン領域と、第一導電型で該第1のソース・ドレイン領域よ

り低濃度の第2のソース・ドレイン領域と、第二導電型のチャネル領域を有する絶縁ゲート型トランジスタの製造方法において、前記第1のソース・ドレイン領域を形成すべき半導体領域の表面を露出させ、前記第2のソース・ドレイン領域を形成すべき半導体領域上に絶縁膜又は半導体膜を設けた状態で、前記第1及び第2のソース・ドレイン領域形成のためのイオン注入を行うことを特徴とする。

【0014】本発明の電極の製造方法は、多結晶シリコン層に不純物を $2 \times 10^{19} \text{cm}^{-3}$ 以上イオン注入する工程と、該多結晶シリコン層の厚さ方向の不純物濃度差により、該多結晶シリコン層の上面の長さに比較し下面の長さが大となるエッチングを施し電極を形成する工程と、を有することを特徴とする。

【0015】

【作用】本発明の絶縁ゲート型トランジスタの製造方法は、第1及び第2のソース・ドレイン領域を形成すべき半導体領域上に、第1のソース・ドレイン領域を形成すべき半導体領域上よりも第2のソース・ドレイン領域を形成すべき半導体領域上の方を厚くして、絶縁膜又は半導体膜を形成するか、あるいは、前記第1のソース・ドレイン領域を形成すべき半導体領域の表面を露出させ、前記第2のソース・ドレイン領域を形成すべき半導体領域上に絶縁膜又は半導体膜を設けた状態で、前記第1及び第2のソース・ドレイン領域形成のためのイオン注入を行うことで、1回のソース・ドレインパターニングと1回のイオン注入により、ソース・ドレイン領域の低濃度領域と高濃度領域を形成しようとするものである。本発明を用いれば、CMOS構成において2回のパターニングと2回のイオン注入により高耐圧MOSトランジスタが形成可能となる。

【0016】なお本発明では、第1のソース・ドレイン領域を形成すべき領域上よりも第2のソース・ドレイン領域を形成すべき半導体領域上の方を厚くして、絶縁膜又は半導体膜を形成すること、あるいは、前記第1のソース・ドレイン領域を形成すべき半導体領域の表面を露出させることが必要となる。

【0017】しかし、上記本発明にかかる構成は例えば後述する本発明の電極の製造方法を用いれば、特別な工程を付加することなく作製可能であり、例えば上記本発明にかかる構成を作製するためにレジストパターニング（例えば、第1のソース・ドレイン領域を形成すべき半導体領域の表面を露出させるためのレジストパターニング）が別に必要となってもイオン注入工程の削減効果はあり、またレジストパターニングが工程増えても、CMOS構成においては3回のパターニングと2回のイオン注入により高耐圧MOSトランジスタが形成可能となるので、パターニング工程削減効果はある。

【0018】なお、ゲート電極を作製するときに、ゲート電極となるべき堆積膜（例えば多結晶シリコン）を階

段状にエッチングし、この階段の下段部分が第2のソース・ドレイン領域を形成すべき領域上にくるようにすれば、第1のソース・ドレイン領域を形成すべき領域上よりも第2のソース・ドレイン領域を形成すべき半導体領域上の方を厚くして半導体膜又は絶縁膜（半導体膜を酸化すれば絶縁膜となる）を形成することができる。

【0019】また、本発明の電極の製造方法は、多結晶シリコン層に不純物を  $2 \times 10^{19} \text{ cm}^{-3}$  以上イオン注入する工程により、多結晶シリコン層の厚さ方向の不純物濃度差を生じさせ、ゲート電極の上層を非晶質化させることでエッチング速度を増加させ、該多結晶シリコン層の上面の長さと比較し下面の長さが大となるエッチングを施し電極を製造するものである。

【0020】このような電極の製造方法を上記本発明の絶縁ゲート型トランジスタのゲート電極の製造に用いれば、特別なレジストパターニングプロセスを設けることなく、ゲート電極を階段形状とし、この後に高濃度のドレイン形成のイオン注入を施すことによりセルフアライメントで *light dope Drain* 層を形成することができる。この場合、CMOS構成において2回のパターニングと2回のイオン注入により高耐圧MOSトランジスタが形成可能となる。

【0021】本発明によれば、エッチング条件及び多結晶シリコンに対する不純物のイオン注入条件により  $0.2 \sim 2 \mu\text{m}$  程度のオフセットを制御性良く形成することが可能である。

【0022】これは、塩素ラジカルによるプラズマエッチングでは、多結晶シリコンのエッチング速度がドナー濃度依存性を示すために生ずるものである。図3に  $\text{Cl}_2/\text{F}_2/\text{N}_2$  ガス系でのドナー濃度依存性を示す。ノンドープのSiに対し、 $1 \times 10^{21} \text{ cm}^{-3}$  のドナーを有するSiは、約10倍のエッチング速度を有する。

【0023】つまり  $2000 \text{ \AA}$  のノンドープのSiをエッチングする間に  $2 \mu\text{m}$  のサイドエッチングを有する電極形成が可能となる。

【0024】更には、ドナー濃度をコントロールすることで、このサイドエッチング量は、自由に設定できることになる。

【0025】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0026】（実施例1）図1（a）、（b）は、本発明の第1実施例のMOSトランジスタの平面図及び断面図であり、本発明の特徴を最もよく表すものである。

【0027】図1において、101は第二の導電型（ここでは、P型）を有する半導体領域（ウェル）、102は素子分離領域、103はゲート酸化膜、104はゲート電極、105は本発明の特徴であるサイドウォール領域、106はサイドウォール領域105を通してイオン注入された電界緩和領域（第2のソース・ドレイン領

域）、107はソース・ドレイン領域（第1のソース・ドレイン領域）である。なお、電界緩和領域106及びソース・ドレイン領域107は、半導体領域101と反対導電型の第一導電型（ここではN型）半導体領域である。また、108は層間絶縁膜、109は電極引き出しのためのコンタクト領域、110は電極引き出しの配線である。

【0028】次に図2を用いて、上記MOSトランジスタの製造方法を説明する。

10 【0029】まず、図2（a）に示すように、P型のウェル領域201上に、ゲート酸化膜202を介して多結晶シリコン膜203を形成する。多結晶シリコン膜203の膜厚は  $2000 \text{ \AA}$  である。その後、リンのイオン注入204を  $1 \times 10^{16} \text{ cm}^{-2}$  のドーズ量で  $40 \text{ KeV}$  の加速電圧で行う。飛程距離  $R_p$  は、 $\sim 500 \text{ \AA}$  であり、 $5 \times 10^{20} \text{ cm}^{-3}$  以上のリン濃度を含む膜厚は、 $\sim 1500 \text{ \AA}$  存在する。

20 【0030】次に図2（b）に示すように、これに電界緩和領域を含むチャネル領域上にレジスト205が残るようにレジストパターニングを施し、レジスト205をマスクとしてプラズマエッチ206を施す。このとき、多結晶シリコン膜203の上層（表面から  $1500 \text{ \AA}$  程度までの層）は、下層（ゲート酸化膜から  $500 \text{ \AA}$  程度までの層）に比較し、図3に示すように約8倍のエッチング速度を有する。そのため面方向のエッチングは急速に進み、 $\sim 500 \text{ \AA} \times 8 \text{ 倍} = 0.4 \mu\text{m}$  のサイドエッチングを生じさせることが可能となる。多結晶シリコン中では、チャネリング等が生じ難いために、ごく表面層のみに高濃度領域を形成することが可能となり、このようなエッチングを行うことができ、階段状の多結晶シリコン膜を形成できる。

30 【0031】続いて、図2（c）に示すように、レジスト205を除去し、多結晶シリコン膜207を酸化することにより、 $\sim 1000 \text{ \AA}$  厚みを有する  $0.4 \mu\text{m}$  のサイドウォール208が形成される。更に、 $60 \text{ KeV}$  で  $7 \times 10^{15} \text{ cm}^{-2}$  ドーズ量のリンをイオン注入209することにより、電界緩和領域210では、 $\sim 1 \times 10^{17} \text{ cm}^{-3}$  のN型層が形成され、ソース・ドレイン領域211では、 $\sim 1 \times 10^{20} \text{ cm}^{-3}$  の高濃度領域が一度に形成される。このように、本実施例の製造工程では電界緩和領域210とソース・ドレイン領域211が同一工程で形成されるので、図8に比較し、レジストパターニング及びイオン注入の工程が各々1回削減された。

40 【0032】この後、図2（d）に示すように、層間絶縁膜212を形成し、窓あけ工程をして、電極及び配線213を形成することで本発明を適用したLDD構造を有するNMOSトランジスタが形成される。

50 【0033】上述の実施例の場合、オフセット部の多結晶シリコンを酸化させた後にイオン注入を行ったが、ソース・ドレインのイオン注入の加速電圧を選ぶことによ

り、酸化工程を省くことができる。

【0034】ゲート酸化膜の厚さにもよるが、オフセット部の多結晶シリコンの厚さが500Åで、ゲート酸化膜が200Åであるならば、As<sup>+</sup>を用いた場合、80 KeVでイオン注入すれば、飛程距離Rp~390Å、分布σ~125Åであるから、高濃度領域で2桁程度の濃度差は、容易に形成することができる。

【0035】（実施例2）次に、本発明の第2の実施例について図4を用いて説明する。本実施例は、ソース・ドレイン領域上のゲート絶縁膜を除去し、電界緩和領域上のゲート絶縁膜を残し、イオン注入することで、電界緩和領域及びソース・ドレイン領域を形成したものである。

【0036】まず図4（a）に示すように、P型のウェル領域601上にゲート酸化膜602を介してゲート電極603を形成する。ここでは、ゲート酸化膜の厚さを500Å、ゲート電極の厚さを4000Åとした。

【0037】次に図4（b）に示すように、高濃度領域を形成する領域にレジストパターンニングを施し、この領域上のゲート酸化膜をエッチングする。このパターンニングは、NMOSTランジスタ、PMOSTランジスタ共に施すことが可能である。

【0038】続いて、NMOS、PMOSTランジスタのそれぞれのソース・ドレイン領域形成のためにレジストパターンニングを施す。このパターンニングは、NMOS領域とPMOS領域を区別して2回のパターンニングが必要となる。NMOSTランジスタの場合、イオン注入として、As<sup>+</sup>を用いるならば、50 KeVの加速電圧で行うことにより、領域611は100%の不純物が活性化され、500Åのゲート酸化膜602を通して形成される領域610は、Rp~260Å、σ~85Åであることから、2桁低い濃度領域が形成され、ゲート電極のあるチャネル領域には、As<sup>+</sup>は到達することはできない（図4（c））。

【0039】PMOSTランジスタの場合、イオン注入として、BF<sub>3</sub><sup>+</sup>を用いるならば、加速電圧40 KeVでRp~290Å、σ~95Åであるから、1桁低い濃度領域が形成される。30 KeVにすれば、Rp~215Å、σ~80Åであるから、2桁低い濃度領域が形成可能である。

【0040】この場合、酸化膜エッチングの工程が増加するものの、CMOS構成で考えた場合、レジストパターンニング工程が1回、イオン注入工程が2回減少することになる。

【0041】この後、図4（d）に示すように、層間絶縁膜612を形成し、窓あけ工程をして電極及び配線613を形成することで、本発明を適用したオフセット型MOSTランジスタが形成される。

【0042】（実施例3）本実施例では、サイドウォールにゲート電極の一部を用いた場合について説明する。

サイドウォール領域が絶縁膜により構成される場合は、電界緩和領域の直列抵抗が素子性能を低下させる場合がある。そのため、GOLD（Gate-Drain Overlapped LDD）構造が注目されている。本発明を適用することにより容易にGOLD構造が形成可能になる。

【0043】図2（b）に示す多結晶シリコン膜207を酸化せずに残し、レジストを除去した後に、ソース・ドレインのイオン注入により、多結晶シリコン膜207は低抵抗化され、GOLD構造が形成される。

【0044】更には、図5に示す構造も考えられる。図5（a）に示すように、多結晶シリコン膜を酸化せずに残し、レジストを除去した後にソース・ドレインのイオン注入を行い、電界緩和領域505及びソース・ドレイン領域506を形成するとともに、多結晶シリコン膜504を低抵抗化する。更に、図5（b）に示すようにTi、W、Mo等の高融点金属507を導電性を有するゲート電極上のみに形成させる。その後、ソース・ドレイン領域の活性化のためのアニールを施すことにより、504の領域は高融点金属507と反応してシリサイド化され低抵抗化が可能である。

【0045】この場合、領域504の存在により高融点金属507のストレス緩和が生じ、ゲートリーク等の問題も生じない。

【0046】（実施例4）本実施例では、高抵抗層とゲート電極層を同時に形成した場合について説明する。従来、高抵抗層として使用する薄膜多結晶は、ゲート電極とは同時に形成することはできず多結晶シリコンのデポジションが2回、パターンニングが2回の工程になっていた。本発明を適用することにより、高抵抗層を幅8μm以下で作成することがデポジション1回とパターンニング1回で形成することが可能となる。

【0047】図9（a）、（b）において、301は半導体基板、302はゲート絶縁膜、303は選択酸化膜、304は多結晶シリコン、305は高濃度領域、306はレジストである。ゲート絶縁膜302上の多結晶シリコン304、高濃度領域305はゲート電極となり、選択酸化膜303上の多結晶シリコン304は高抵抗層となる。

【0048】以下、上記装置の製造方法について説明するが、基本的な製造条件は実施例1と同じである。本実施例においては、図9（a）に示すように高濃度領域305上にパターン化されたレジスト306を形成しエッチングを行う。この時、高抵抗層となるべき選択酸化膜303上の多結晶シリコン304の線幅は高濃度領域のサイドエッチ量が~0.4μmなので、8μm以下としておく。

【0049】次に実施例1と同様にエッチング処理を行うと、MOSTランジスタ部には階段状の多結晶シリコン膜が形成され、高抵抗層部にはサイドエッチングによ

り高濃度領域が除去されて高抵抗の多結晶シリコン304が形成される(図9(b))。高濃度領域が除去されるとレジストはリフトオフされる。なお、高抵抗層となるべき多結晶シリコン304の線幅を上記のように8 $\mu$ m以下としたのは、8 $\mu$ mを超えると高濃度領域の両側からのサイドエッチ量2 $\times$ 0.4 $\mu$ mを超えてしまうので、高抵抗層となるべき多結晶シリコン304上に高濃度領域が残ってしまうからである。

【0050】本実施例においては、実施例1の酸化処理を $\sim$ 500Å程度に薄くすることで、高抵抗層を $\sim$ 250Åの厚さで形成することができる。

【0051】(実施例5)本実施例ではLCD等の高耐圧が要求される素子に適用した場合について説明する。TN液晶等を利用するLCDの場合、画素電極に接続するアクティブ・マトリックス素子及びその駆動回路には、10 $\sim$ 20V程度のソース・ドレイン間耐圧が要求される。本発明をアクティブ・マトリックス素子に適用した場合について図6を用いて説明する。

【0052】図6において、701は半導体基板、702はMOSトランジスタ(アクティブ・マトリックス素子)のウェル領域である。なお、ウェル領域702は、NMOSトランジスタの場合はP型ウェルであり、PMOSトランジスタの場合はN型ウェルとなる。ここでは簡易化のため、NMOSトランジスタについてのみ説明する。高耐圧化の要求からP型ウェルの濃度は、1E17cm $^{-3}$ 以下の濃度とする。

【0053】また、703はチャネルストップ領域、704はフィールド酸化膜領域、705はゲート酸化膜であり、706は本発明の特徴である階段状のゲート電極である。本発明を適用した場合、707で示される低濃度のN型ソース・ドレイン領域と708で示される高濃度のN型ソース・ドレイン領域上で膜構成又は厚さが異なることになる。この厚さの違いを利用することで1度のソース・ドレインのイオン注入により濃度の異なる領域を得ることができる。

【0054】また、709は絶縁膜、710は金属電極及び配線、711は絶縁膜、712は画素電極である。713は液晶領域、714は対向側のガラス基板である。

【0055】(実施例6)図7を用いて、本発明を適用した駆動回路を内蔵した電気・熱変換素子の実施例について説明する。なお、ヒータ部を除き、素子の基本構成は図6に示したものと同様であり、801 $\sim$ 811は701 $\sim$ 711の構成部材と同じなので、801 $\sim$ 811の構成部材については説明を省略する。

【0056】図7において、812で示されるヒータ部の抵抗値を大きくとることにより、電気を熱に変換することができる。ヒータ部812の材料に何を選ぶかにより求められる高耐圧の程度は異なるものの、通常用いられるHfB、Ta<sub>2</sub>N、TiN等においては、24V系の

電源が用いられる。そのため、その駆動用のMOSトランジスタにおいては、30V系の高耐圧MOSトランジスタが要求される。

【0057】このような場合においても本発明を適用することにより、2 $\mu$ mのオフセットで低濃度ソース・ドレインを1E18 $\sim$ 1E17cm $^{-3}$ 程度に制御することで、35V程度の耐圧を有することが可能となる。

【0058】813は抵抗低減のための金属であり、812のヒータと接続されている。814は保護膜である。

【0059】

【発明の効果】以上説明したように、本発明によれば、1回のソース・ドレインパターニングと1回のイオン注入により、ソース・ドレイン領域の低濃度領域と高濃度領域を形成することができ、高耐圧のMOSトランジスタを作成する上で製造コストを低減し、設計の自由度を増大させることができる。

【0060】また、本発明によれば、多結晶シリコン層の上面の長さに比較し下面の長さが大となる電極を一つのエッチングプロセスで製造することができる。

【0061】更には、高抵抗層と低抵抗層を同時に作成することが可能であり、製造コストを上げずに、自由度のある設計が行える。

【図面の簡単な説明】

【図1】本発明を適用したMOSトランジスタの平面図と断面図である。

【図2】本発明を説明するためのMOSトランジスタプロセスフローである。

【図3】多結晶シリコン中のドナー濃度とエッチング速度との関係を示す特性図である。

【図4】本発明を説明するためのMOSトランジスタプロセスフローである。

【図5】本発明をGOLD構造に適用した例を示すプロセスフローである。

【図6】本発明をLCDに適用した例を示すプロセスフローである。

【図7】本発明を電気・熱変換素子のドライバーに適用した例を示すプロセスフローである。

【図8】従来例によるMOSトランジスタ製造方法を示すプロセスフローである。

【図9】高抵抗層とゲート電極層を同時に形成した場合の実施例を示す断面図である。

【符号の説明】

101 半導体領域(ウェル)

102 素子分離領域

103 ゲート酸化膜

104 ゲート電極

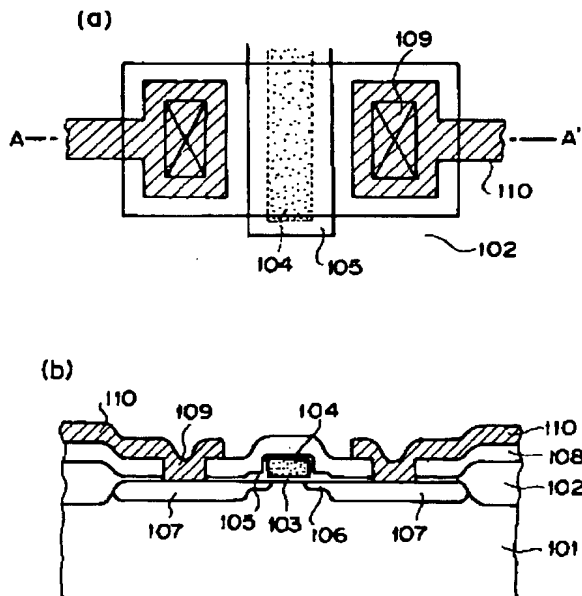
105 サイドウォール領域

106 電界緩和領域

50 107 ソース・ドレイン領域

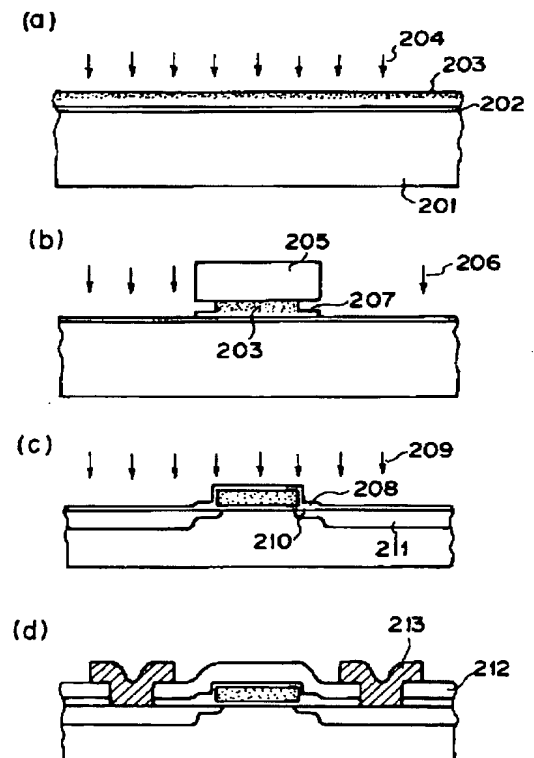
- 108 層間絶縁膜
- 109 コンタクト領域
- 110 電極引き出しの配線
- 201 P型のウエル領域
- 202 ゲート酸化膜
- 203 多結晶シリコン膜
- 204 イオン注入
- 205 レジスト
- 206 プラズマエッチ
- 207 多結晶シリコン膜
- 208 サイドウォール
- 209 イオン注入
- 210 電界緩和領域
- 211 ソース・ドレイン領域
- 212 層間絶縁膜 212
- 213 電極及び配線
- 601 P型のウエル領域
- 602 ゲート酸化膜
- 603 ゲート電極
- 604 開口領域
- 610 電界緩和領域
- 611 ソース・ドレイン領域
- 612 層間絶縁膜
- 613 電極及び配線

【図1】



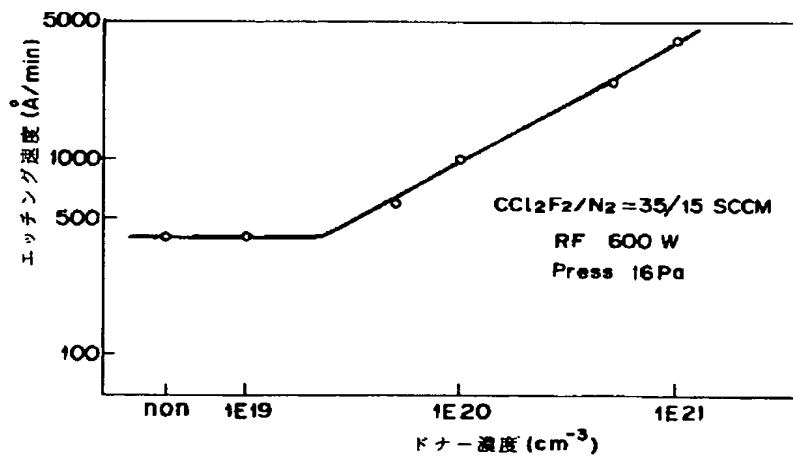
- 501 半導体領域 (ウエル)
- 502 ゲート酸化膜
- 503 ゲート電極
- 504 ゲート電極のサイドウォール領域
- 505 電界緩和領域
- 506 ソース・ドレイン領域
- 507 高融点金属
- 701 半導体基板
- 702 ウエル領域
- 703 チャネルストップ領域
- 704 フィールド酸化膜領域
- 705 ゲート酸化膜
- 706 ゲート電極
- 707 低濃度のN型ソース・ドレイン領域
- 708 高濃度のN型ソース・ドレイン領域
- 709 絶縁膜
- 710 金属電極及び配線
- 711 絶縁膜
- 712 画素電極
- 713 液晶領域
- 714 ガラス基板
- 812 ヒータ部
- 813 抵抗低減用金属
- 814 保護膜

【図2】

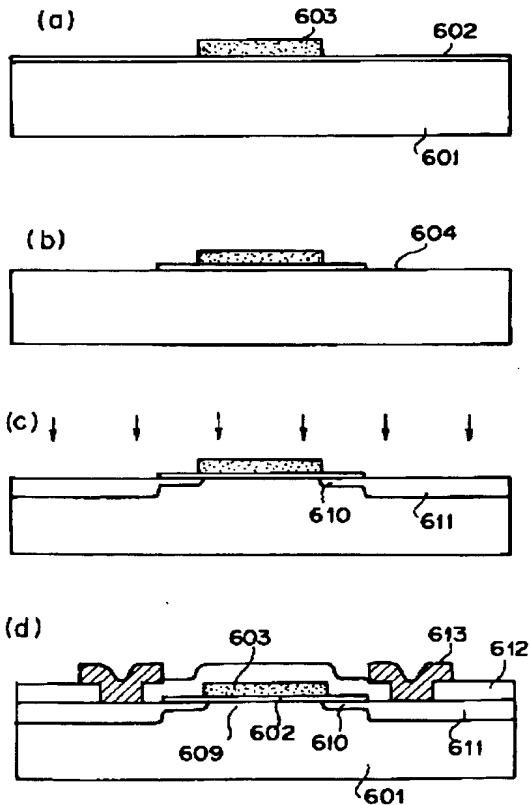




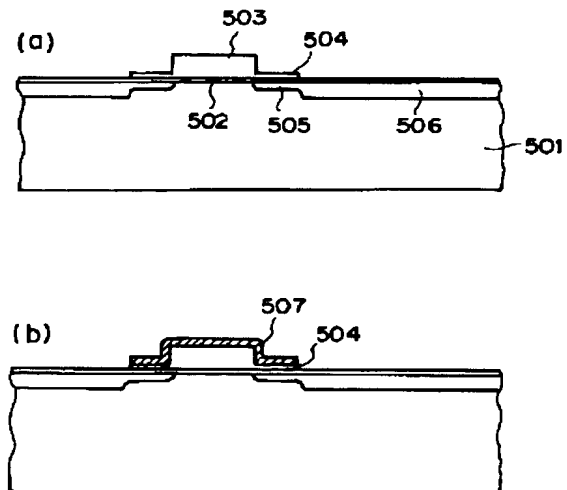
【図3】



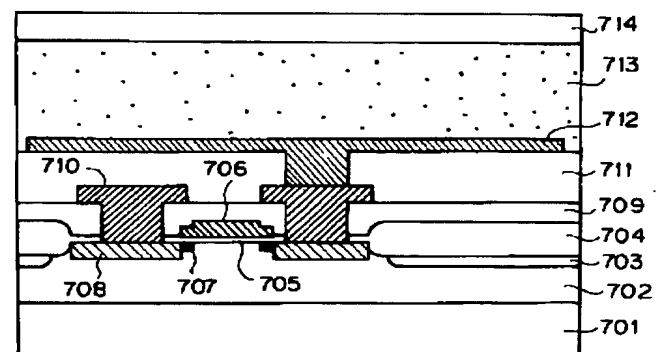
【図4】



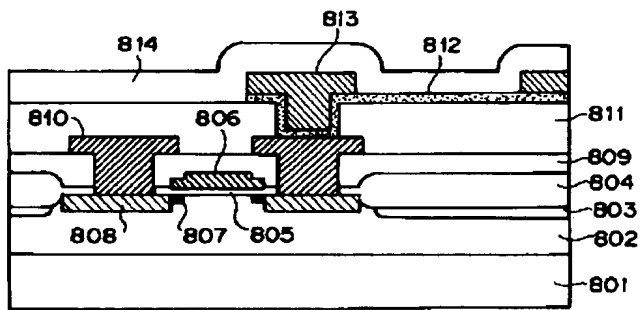
【図5】



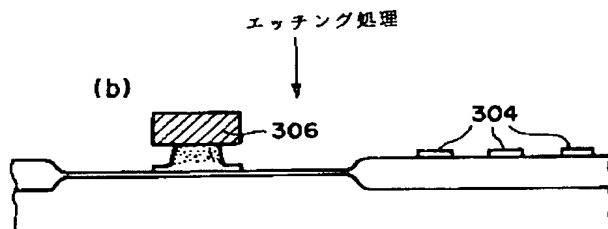
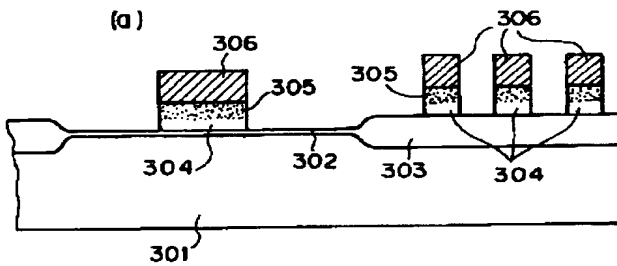
【図6】



【図 7】



【図 9】



【図 8】

